

60- 081869

DRIVING METHOD OF THIN FILM TRANSISTOR

Patent Number: JP60081869

Publication date: 1985-05-09

Inventor(s): TAKENAKA SATOSHI; others: 02

Applicant(s):: SUWA SEIKOSHA KK

Requested Patent: JP60081869

Application Number: JP19830190227 19831012

Priority Number(s):

IPC Classification: H01L29/78

EC Classification:

Equivalents:

Abstract

PURPOSE: To largely increase the ON/OFF ratio by providing a gate electrode through a gate insulator even under a thin semiconductor film, and applying the specific voltage, thereby reducing the OFF current and increasing the ON current.

CONSTITUTION: A thin film transistor has an insulating transparent substrate 38, a substrate insulating film 39, a lower gate insulating film 40, a lower gate electrode 41, a thin semiconductor film 42, a source region 43, a drain region 44, an upper gate insulating film 45, an upper gate electrode 46, an interlayer insulating film 47, a source electrode 48, and a drain electrode 49. In order to decrease the OFF current, when the transistor is OFF, the voltage near the flat band voltage of the lower boundary is applied to the electrode 41, while to increase the ON current, when the transistor is ON, a voltage higher than a threshold voltage is applied to the electrode 41.

Data supplied from the esp@cenet database - I2

⑱ 公開特許公報 (A) 昭60-81869

⑲ Int.Cl.⁴

H 01	L	29/78
// G 09	F	9/35
H 01	L	27/12

識別記号

府内整理番号

⑳ 公開 昭和60年(1985)5月9日

8422-5F
6615-5C
8122-5F

審査請求 未請求 発明の数 1 (全6頁)

㉑ 発明の名称 薄膜トランジスタの駆動方法

㉒ 特願 昭58-190227

㉓ 出願 昭58(1983)10月12日

㉔ 発明者 竹中敏	諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
㉔ 発明者 松尾睦	諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
㉔ 発明者 大島弘之	諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
㉔ 出願人 株式会社諏訪精工舎	東京都新宿区西新宿2丁目4番1号
㉔ 代理人 弁理士 最上務	

明細書

1. 発明の名称

薄膜トランジスタの駆動方法

2. 特許請求の範囲

半導体薄膜の上部にゲート絶縁膜を介して設けた上部ゲート電極に印加するゲート電圧を変調することにより薄膜トランジスタの ON/OFF をスイッチングする薄膜トランジスタの駆動方法において、半導体薄膜の下部にもゲート絶縁膜を介した下部ゲート電極を設け、薄膜トランジスタ OFF の場合には、前記下部ゲート電極にフラットバンド電圧近傍の電圧を印加し、薄膜トランジスタ ON の場合には、スレッシュホールド電圧以上の電圧を前記下部ゲート電極に印加することを特徴とする薄膜トランジスタの駆動方法。

3. 発明の詳細な説明

本発明はソース・ドレイン間のリード電流を低

減させ、かつ ON 電流を増大させ、大きな ON/OFF 比を実現する薄膜トランジスタの駆動方法に関するもの。

近年、絶縁基板上に薄膜トランジスタを形成する研究が活発に行なわれている。この技術は、安価な絶縁基板を用いて薄膜ディスプレイを実現するアクティブマトリクス型画像表示装置、あるいは通常の半導体集積回路にトランジスタなどの能動素子を形成するいわゆる三次元集積回路など多くの応用が期待できるものである。以下、薄膜トランジスタをアクティブマトリクスピネルに応用した場合を例にとって説明する。

薄膜トランジスタをアクティブマトリクスピネルに応用した場合の液晶表示装置は、一般に、上側のガラス基板と、下側の薄膜トランジスタ基板と、その間に封入された液晶とから構成されており、前記薄膜トランジスタ基板上にマトリクス状に配置された液晶駆動素子を外部選択回路により選択し、前記液晶駆動素子に接続された液晶駆動電極に電圧を印加することにより、任意の文字、

图形あるいは画像の表示を行なうものである。前記薄膜トランジスタ基板の一一般的な回路図を第1図に示す。

第1図(2)は薄膜トランジスタ基板上の液晶駆動素子のマトリクス状配線図である。図中の1で囲まれた領域が表示領域であり、その中に液晶駆動素子2がマトリクス状に配置されている。3は液晶駆動素子2へのデータ信号ラインであり、4は液晶駆動素子2へのタイミング信号ラインである。液晶駆動素子2の回路図を第1図(3)に示す。5は薄膜トランジスタであり、データのスイッチングを行なう。6はコンデンサであり、データ信号の保持用として用いられる。7は液晶パネルであり7-1は各液晶駆動素子に対応して形成された液晶駆動電極であり、7-2は上側ガラス基板上の共通電極である。

以上の説明からわかるように、薄膜トランジスタは、液晶に印加する電圧のデータをスイッチングするために用いられる。この時、薄膜トランジスタの特性に關しては、次の2つの項目が要求される。

- 3 -

電流（以下、OFF電流と呼ぶ）が流れるとドレインの電位、すなわちコンデンサの電位は急激にソースの電位に近づき、書き込まれたデータは正しく保持されなくなってしまう。OFF電流を小さくおさえることは、薄膜トランジスタをアクティブマトリクスピネル以外の用途に応用する場合にも全く同様に要求される項目である。例えば、薄膜トランジスタを用いて、通常のロジック回路を構成する場合には、静止電流が増加し、またメモリ回路を構成する場合には、誤動作の原因となる。

本発明の目的は、ON電流を増大させると共にOFF電流を低減させて、ON/OFF比を増大させる薄膜トランジスタの駆動方法を提供することであり、薄膜トランジスタの応用分野をさらに拡げる事を可能にするものである。以下、従来のドチャネル薄膜トランジスタの駆動方法について述べた後、本発明の内容を説明する。

第2図はドチャネル薄膜トランジスタの従来の一一般的な構造を示す断面図である。8は絶縁性透明基板である。三次元集積回路に応用した場合に

(1) 薄膜トランジスタをON状態にした時、コンデンサを充電するために充分な電流を流すことができる。

(2) 薄膜トランジスタをOFF状態にした時、電力、電流が流れないこと。

(1)は、コンデンサへのデータの書き込み特性に関するものである。液晶の表示はコンデンサの電位により決定されるため、短時間にデータを完全に書き込むことができるようだ。薄膜トランジスタは充分大きい電流を流すことができなくてはならない。この時の電流（以下、ON電流と呼ぶ）は、コンデンサの容量と、書き込み時間とから定まり、そのON電流をクリアできるように薄膜トランジスタを作製しなければならない。

(2)は、コンデンサに書き込まれたデータの保持特性に関するものである。一般に、書き込まれたデータは書き込み時間よりもはるかに長い時間保持されなければならない。コンデンサの静電容量は、通常1カラードの小さい値であるため、薄膜トランジスタがOFF状態の時にわずかでもリーク

- 4 -

は、8は通常の半導体集積回路である。9は半導体薄膜、10は8の絶縁性透明基板中に含まれるナトリウムイオン (Na^+)などの正電荷が、半導体薄膜中に混入する事を防ぐための基板絶縁膜であり通常二酸化硅素 (SiO_2)が用いられる。11は半導体薄膜9中にリンやヒ素などの不純物をドープして形成したN型層のソース領域、12は同じくドレイン領域、13はゲート絶縁膜、14はゲート電極、15は層間絶縁膜、16はソース電極、17はドレイン電極である。半導体薄膜9の上面及び下面是共に SiO_2 膜と接している。從って、半導体薄膜のバンドは上部界面及び下部界面の部分で曲がっている。このバンドの曲がる原因は、 SiO_2 膜に含まれる正電荷及び界面準位によって半導体表面近傍に負電荷が誘起されるためである。上部界面及び下部界面の概略図を第2図(3)に示す。18は絶縁性透明基板、19は基板絶縁膜、20は半導体薄膜、21はソース領域、22はドレイン領域、23はゲート絶縁膜、24はゲート電極、25は上部界面のN型層であり、これは上部界面の界

- 5 -

-316-

- 6 -

面準位及びゲート絶縁層 23 中に含まれる正電荷及びゲート電極 24 と半導体薄膜 20 との仕事関数差 φ_{MB} とに起因して誘起されるものである。26 は下部界面の N 型層であり、これが基板絶縁膜 19 中に含まれる正電荷及び下部界面の界面準位とに起因して誘起されるものである。従来の駆動方法だけ、ゲート電極 24 に印加するゲート電圧 V_{GS} を変調することにより、上部界面の N 型層 25 が形成されることを制御してトランジスタの ON, OFF をスイッチングしている。同図④を見ればわかるようにトランジスタの ON, OFF にかかわらず下部界面の N 型層は常に形成されていることになる。バンド図を同図⑤に示す。27 はゲート電極、28 は半導体薄膜、29 はゲート絶縁膜、30 は基板絶縁膜、31 は絶縁性透明基板を示している。32 は半導体薄膜のゴンダクションバンドエッジの準位 E_C、33 は同じくバレンスバンドエッジの準位 E_V を示し、34 は真性フェルミレベルの準位 E_F を示している。35 は前記ゲート電極及び半導体薄膜及び基板のフェルミレベル E_F が一致している。

- 7 -

を低減させ、ON 電流を増大させてトランジスタの ON/OFF 比を増大せしめる薄膜トランジスタの駆動方法を提供するものである。これを実現するために本発明だけ、半導体薄膜の下部にもゲート絶縁膜を介してゲート電極を設け、トランジスタ OFF 状態の時には該下部ゲート電極に、下部界面のフラットバンド電圧近傍の電圧を印加し、トランジスタ ON 状態の時には該下部ゲート電極にスレッシュホールド電圧以上の電圧を印加して薄膜トランジスタを駆動する。以下、本発明について説明する。

第 3 図は本発明の実施例を示すものであり、同図⑥は半導体薄膜の下部にもゲート絶縁膜を介してゲート電極を設けた薄膜トランジスタを示している。38 は絶縁性透明基板、39 は基板絶縁膜、40 は下部ゲート絶縁膜、41 は下部ゲート電極、42 は半導体薄膜、43 はソース領域、44 はドレイン領域、45 は上部ゲート絶縁膜、46 は上部ゲート電極、47 は層間絶縁膜、48 はソース電極、49 はドレイン電極を示している。OFF 電

- 9 -

流を示している。36 は半導体薄膜の上部界面、37 は同じく下部界面を示している。上部界面の N 型層を流れる OFF 電流を I_{OFF}*、下部界面の N 型層を流れるリーク電流を I_L とすると、従来の薄膜トランジスタの駆動方法による OFF 電流 I_{OFF} は

$$I_{OFF} = I_{OFF}^* + I_L \quad \dots \dots \dots \quad ①$$

で表わされる。一方、ON 状態になると、ゲート電圧により上部界面にチャネルが形成される。この上部界面を流れる ON 電流を I_{ON}*とする。一方下部界面には ON, OFF にかかわらず一定の N 型層が形成されているため、トランジスタ ON 状態の場合も下部界面の N 型層には電流 I_L が流れることになる。つまり薄膜トランジスタの ON 電流 I_{ON} は、

$$I_{ON} = I_{ON}^* + I_L \quad \dots \dots \dots \quad ②$$

で表わされる。I_L は下部界面のリーク電流なので I_{ON}* に比べて非常に小さいので、I_{ON} はほぼ I_{ON}* で表わされることになる。

本発明は以上述べてきたような従来の薄膜トランジスタの駆動方法の欠点を改善して、OFF 電流

- 8 -

を低減させるためには、トランジスタ OFF 状態の時に、前記下部ゲート電圧 41 に下部界面のフラットバンド電圧 V_{TB} 近傍の電圧を印加し、また ON 電流を増大させるためには、トランジスタ ON 状態の時に、前記下部ゲート電圧 41 にスレッシュホールド電圧以上の電圧 V_{G2} を印加する。以上に述べた駆動方法により薄膜トランジスタの OFF 電流を低減させ、ON 電流を増大させる事ができる。すなわち、OFF 電流 I_{OFF} は上部界面を流れるリーク電流 I_{OFF}* で表わされ、ON 電流 I_{ON} は、上部界面を流れる ON 電流 I_{ON}* と、下部ゲート電圧電圧 V_{G2} を印加したことによって下部界面に流れる電流 I_{LON} との和として表わされ、それぞれ次のように記すことができる。

$$I_{OFF} = I_{OFF}^* \quad \dots \dots \dots \quad ③$$

$$I_{ON} = I_{ON}^* + I_{LON} \quad \dots \dots \dots \quad ④$$

薄膜トランジスタ OFF 状態の時のバンド図を第 3 図⑥に、ON 状態の時のバンド図を第 3 図⑦に示す。両図において、50 は半導体薄膜、51 は上部ゲート電圧、52 は上部ゲート絶縁膜、53 は

- 10 -

下部ゲート電極、54は下部ゲート絶縁膜、55は上部界面、56は下部界面、57は半導体薄膜のコンダクションバンドエッジの準位Ec、58は同じくバレンスバンドエッジの準位Evを示している。はじめにOFF状態では同図(b)に見られるように、上部ゲート絶縁膜中に含まれる正電荷によって、上部界面近傍にはN型層が誘起されているのでバンドは曲がっている。しかし、下部ゲート電極には、フラットバンド電圧VFBが印加されているためバンドの曲がりが防止されている。つまり下部界面近傍にはN型層が形成されておらず、ここではリーク電流はまったく流れない。従って、OFF電流IOFFは式⑤で表わされる。一方、ON状態では同図(c)に見られるように、上部界面にN型層のチャネルが形成されると共に、下部界面にもN型層が形成される。従ってON電流は、上部界面及び下部界面を流れる電流の和として表わされ式④に示すとおりになる。このように本発明による薄膜トランジスタの駆動方法を用いれば、OFF電流を非常に小さい値におさえると共に、ON電

- 11 -

流を増大させ、薄膜トランジスタのON/OFF比を大きくすることができるという優れた効果を得ることができる。

本発明をアクティブマトリクスピネルに応用した場合、ON電流を増大させ、OFF電流を低減させることができるので、書き込み特性が良く、しかも優れた保持特性を実現することができる。ON電流の大きさもある程度制御できる。第3図(d)においてON状態の時に上部ゲート電極46に印加する電圧と等しい電圧を下部ゲート電極41に印加する場合を考える。例えば、下部ゲート絶縁膜40の膜厚dLと上部ゲート絶縁膜45の膜厚dUとを等しくすれば、上部界面と下部界面にはほぼ等しい電流が流れる。つまり、 $d_L = d_U$ とすれば従来の駆動方法によるON電流の約2倍のON電流が得られることとなる。また $d_L = d_U/2$ とすれば下部界面を流れる電流は上部界面を流れる電流のほぼ2倍となり、本発明の駆動方法によりON電流を約3倍に増大させることができる。

以上述べたように、本発明は薄膜トランジスタ

- 12 -

のOFF電流を低減させると共に、ON電流を増大させて、ON/OFF比を大幅に増大させることができるという優れた効果を有するものであり、書き込み特性及び保持特性の優れたアクティブマトリクスピネル、あるいは調動作の少ないメモリ回路を実現できるなど、優れた回路を実現することが可能となる。

4. 図面の簡単な説明

第1図(a)、(b)は薄膜トランジスタをアクティブマトリクスピネルに応用した場合の一般的な回路図である。第2図(a)、(b)、(c)は従来の薄膜トランジスタの駆動方法を説明するための図であり、第3図(a)、(b)、(c)は本発明で提案する薄膜トランジスタの駆動方法を説明するための図である。

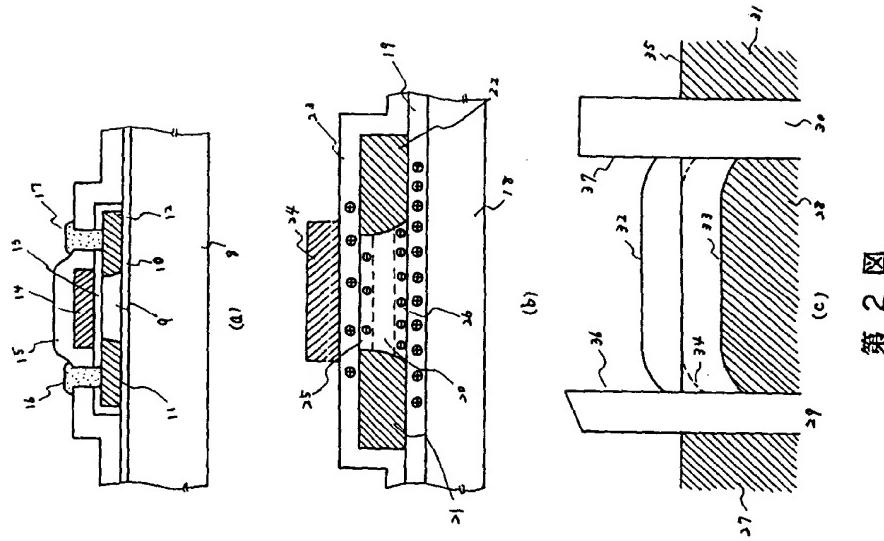
以上

出願人 株式会社 雷訪精工舎

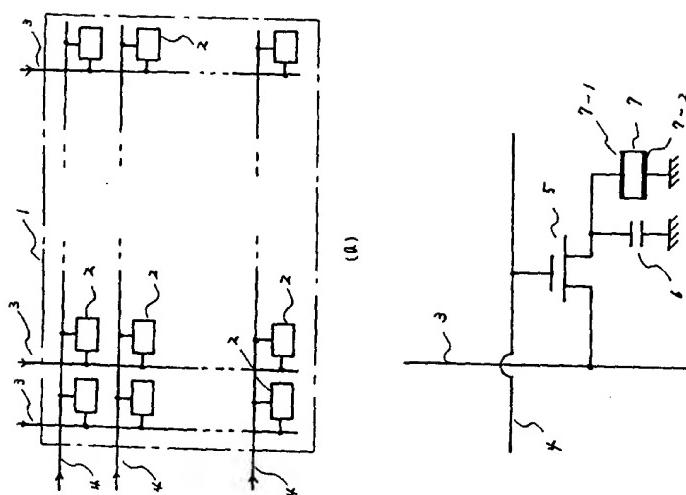
代理人弁理士 最上務

- 13 -

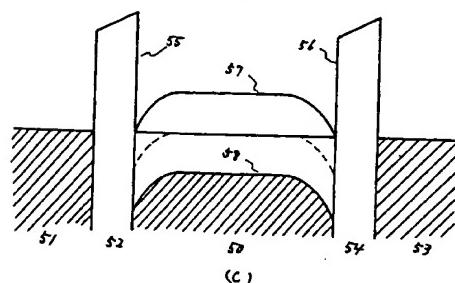
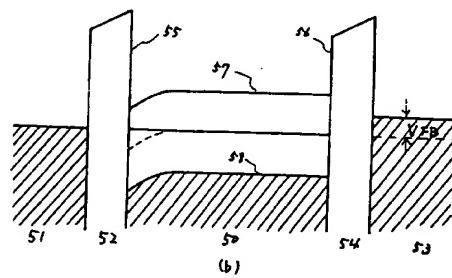
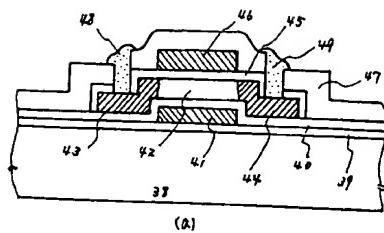
-318-



第2図



第1図



第3図